

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display controller which displays a hard window on the screen of the display with which one screen is constituted by two or more display panels characterized by providing the following The frame memory which stores the image data of a base screen, and the image data of a hard window Two or more line buffers in which the image data of the aforementioned base screen read from this frame memory or the aforementioned hard window is stored and which were prepared corresponding to each display panel, While reading the image data concerned of the aforementioned base screen or the aforementioned hard window from the aforementioned frame memory and making this image data input into the line buffer concerned according to the scanning sequence on the screen of the aforementioned display Control means which make the image data stored in two or more aforementioned line buffers according to the above-mentioned scanning sequence input into the display panel concerned

[Claim 2] It is the display controller according to claim 1 which the two aforementioned line buffers are prepared at a time for every display panel, and is characterized by the aforementioned control means switching and using the line buffer of these two individuals for the object for read-out of the image data from the aforementioned frame memory, and the image data output to the liquid crystal display panel concerned.

[Claim 3] The aforementioned display panel is a display controller according to claim 1 or 2 characterized by being a liquid crystal display panel.

[Translation done.]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—59494

⑤ Int. Cl.³

G 09 G 1/06

G 06 F 3/153

識別記号

庁内整理番号

7923—5C

2116—5B

⑬ 公開 昭和58年(1983)4月8日

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ 表示装置

① 特 願 昭56—159162

② 出 願 昭56(1981)10月6日

⑦ 発 明 者 中村喜昭

鎌倉市上町屋325番地三菱電機

株式会社計算機製作所内

⑧ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2

番3号

⑨ 代 理 人 弁理士 葛野信一

外1名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

順次スキャン方式で文字、図形等をCRT画面上に表示する表示装置において、各種入出力装置からの要求をプログラムデータに従って処理する装置制御部と、バス競合を制御しDMA転送を制御するDMA制御部と、表示タイミングを制御するタイミング制御部と、表示すべきパターン情報をビデオ信号に変換するビデオ制御部と、装置制御プログラムおよび制御データ、表示データ、表示すべき文字図形等のパターン等を保持する装置メモリ、表示1行分の表示データを保持する循環式コードバッファと、表示1行分の表示パターンを保持する2組のパターンバッファと、この2組のパターンバッファをトグルメモリとして制御する制御ゲート回路と、上記装置メモリ内データの内表示データをアクセスするときのアクセスすべきアドレスを順次発生し、1画面分アクセスを終了した時に初期値にも

とされる表示データ用アドレスカウンタと、上記装置メモリ内のデータのうちパターンをアクセスする時、アクセスすべきパターンのセグメントアドレスを順次発生し、全セグメントのアクセスを終了した時初期値にもとされるセグメントカウンタとを有し、上記タイミング制御部からの表示開始制御を検出し、それにより上記表示データ用アドレスカウンタにより、上記装置メモリより表示データを表示画面の1行分読みとり、上記コードバッファにセットする手段と、上記コードバッファにセットされたデータと上記セグメントカウンタにより上記装置メモリより表示画面の1行分読み取り上記2組のパターンバッファの一方にセットする手段と、上記パターンバッファの一方にデータをセットする間、他方にセットされたデータを上記ビデオ制御部に表示タイミングに従って出力する手段と、上記パターンバッファのデータセットと出力とが上記2組のパターンバッファで交互になされるようにする手段とを有し上記装置メモリへの表示のための一連の動作は上記装置制御部

の制御を受けずに行われ、上記装置制御部の装置メモリのアクセスと該表示のためのアクセスは非同期に行われ、両者が競合した時には、それを調停するようにしたことを特徴とする表示装置。

3. 発明の詳細な説明

この発明は表示データ用メモリ、パターンジェネレータメモリおよび制御用メモリを有する表示装置の改良に関するものである。

従来知られているこの種表示装置を第1図に示す。第1図において、(1)は表示装置制御部(以下制御部と称する)で、装置内各種メモリ、入出力レジスタ等のデータ処理を行なうものである。(2)はDNA制御部で、入出力レジスタとメモリ間、メモリとメモリ間のデータ転送を制御する。(3)は制御用メモリで、通常制御部(1)がマイクロプロセッサにより構成されるので、そのプログラム及び各種制御用データを保持している。(4)は各種入出力装置で、表示装置においては、回線インターフェース、キーボード、ライトペンなどで代表される。(5)は表示データ用メモリであり、通常表示可能な

従つて、各種入出力装置(4)からの要求を処理する。これらの要求の1つとして、表示データ用メモリ(5)に対する書き込み、読み出し、編集がある。その処理を制御部(1)が行うと表示データ用メモリ(5)には、表示画面に表示すべき画面情報としてデータが配列されている。一方、タイミング制御部(6)は、CRT(9)上に表示画面を維持するため、一定周期で表示データ用メモリ(5)からしかるべき画面情報を読み出す制御を行つている。その情報はPG(7)により画面に表示するドットパターンに変換され、さらにビデオ制御部(8)でビデオ信号に変換されて、CRT(9)に送られる。CRT(9)はビデオ信号を表示画面上に可視情報として表示する。このようにして、表示装置に対する表示要求が、表示画面に可視情報として表示される。

以上のように従来の表示装置においては、装置内にまったく独立した3組のメモリ、即ち、制御用メモリ(3)、表示データ用メモリ(5)はPG(7)を有する必要がある。しかも表示データ用メモリ(5)は一般に2Kバイト〜4Kバイト程度のサイズである

文字数分だけの容量を持ち、さらに表示画面のボジションと、表示データ用メモリ(5)のアドレスは1対1に対応するよう構成される。(6)はタイミング制御部で、表示制御に必要なタイミング信号、例えばCRTモニタ用同期信号、表示データ用メモリアクセスアドレス等を発生する。(7)はパターンジェネレータメモリ(以下PGと称する)で、表示データ用メモリ(5)からの表示データコード出力を表示画面上に表示するパターンに変換するものである。(8)はビデオ制御部で、タイミング制御部(6)から表示タイミング信号に従つて、PG(7)からの出力を表示画面に出力するためのビデオ信号に変換する。(9)はビデオ制御部(8)からのビデオ信号を可視情報に変換し、表示データ用メモリ(5)の内容を表示する表示画面を提供するCRTである。(10)はプロセッサバス(以下単にバスと称す)で制御部(1)とその他各構成要素とはこのバス(10)を介して結合される。

次に動作について説明する。制御部(1)は制御用メモリ(3)に収められているプログラム、データに

が、2ポートメモリであり、アクセスコントロールのための周辺回路規模はメモリ素子回路数と同数位必要となる。さらにPG(7)はROM(読み出し専用メモリ)とRAM(書き込み、読み出し可能メモリ)とがあり、機種により一方のみ又は混在しており回路として一定していない。RAMの場合には表示データ用メモリ(5)と同様に2ポートメモリとなる。

一方制御用メモリ(3)はプログラム等が収められており、表示装置の機能が年々複雑、高度化するに従つて、その大きさは増大の一途をたどつていく。

このように見てくると、表示データ用メモリ(5)、PG(7)と制御用メモリ(3)とを別々のメモリとして構成するのは回路規模、コスト両面とも得策ではない。さらに半導体技術の進歩により、より大容量のメモリがより低価格で入手可能となつてくると、この従来装置の欠点がますます増大することとなる。

この発明は以上のような従来のものの欠点を除

去するためなされたもので、回路規模がむやみに大きくなることなくかつ安価に構成することができる表示装置を提供することを目的とする。

以下第2図に示すこの発明の一実施例について説明する。第2図において、第1図と同一符号は同一または相当部分を示すのでその説明を省略する。00は装置メモリで、その中に制御メモリ(5)、表示データ用メモリ(6)、PG(7)が割付けられている。各機能の装置メモリ00内でのアドレスの割り付けは装置で自由に割りつけられればよい。02は表示アクセス制御部で、1本化された装置メモリ00に対して表示のために、表示データ用メモリ(6)、PG(7)をアクセスする制御を行う。

次に動作について説明する。制御部(1)は各種入出力装置(4)からの要求を、制御メモリ(5)に収められているプログラムに従って、表示データ用メモリ(6)内のデータの更新を行うのは従来と同じである。

一方表示のため制御は、タイミング制御部(8)、ビデオ制御部(9)が各種タイミングを発生し、ビデオ

アクセスは、制御部(1)のバスの使用とは無関係にアクセス要求がなされ、かつ表示アクセス制御部02を1つの入出力コントロールデバイスとみなすメモリ-I/O DMA 転送で実現される。そしてその時に生じるバス使用競合は、DMA 制御部(2)と制御部(1)とで調停解決される。表示アクセス制御部02の基本的な機能は、次のようになつてゐる。即ちタイミング制御部(8)からの信号により、表示データ用メモリ(6)のアクセスすべきタイミング、およびアドレスを検出し、そのデータフェッチを行う。フェッチするデータ量はメモリのアクセススピード、バス競合頻度を下げることで、後述する表示アクセス制御部02内の処理の単純化等の理由により表示画面の1行分の表示情報量が望ましい。次に上記フェッチした表示情報からアクセスすべきPG(7)のアドレスを検出し、1行分の表示パターンをフェッチする。そのフェッチした結果を表示タイミングに同期させてビデオ制御部(9)へ出力する。

このような制御を行なう表示アクセス制御部の詳細な構成を第3図に示す第3図において、03は

オ信号に変換してCRT(10)上に可視情報として表示することは従来と同じであるが、表示データ用メモリ(6)のアクセス、PG(7)のアクセスの機構及び、ビデオ制御部(9)とのデータの受け渡し方が異なる。従来は第1図のごとく、表示データ用メモリ(6)の内容が直接PG(7)に渡され、PG(7)の出力が直接ビデオ制御部(9)に渡されていた。しかし、この発明においては、これらデータの受け渡しはすべて表示アクセス制御部02が行う。表示アクセス制御部02は表示操作開始タイミングを知ると、まず表示データ用メモリ(6)から表示情報を取り、その情報から、しかるべきPG(7)のアドレスを割り出し、その内容を取り出してビデオ制御部(9)へわたす。それ以降のCRT(10)上への表示は従来通りである。又表示アクセス制御部02が表示データ用メモリ(6)、PG(7)をアクセスする時それらのメモリは制御用メモリ(5)と共に1つの装置メモリ00に割りつけられているので、その割り付けに従ったメモリアクセスアドレス制御は表示アクセス制御部02が行う。又この発明の装置においては、装置メモリ00のアクセス

表示メモリアクセスタイミングコントロールで、表示アクセス制御部02の全体のタイミングを制御する。04は表示メモリアクセスタイミングコントロール03と協調しながら、バス00を制御し、装置メモリ00と表示アクセス制御部02との間でデータ転送を実現させる。05はコードバッファで、前述した理由により、1行分の表示情報量を持つ。06は、表示データ用メモリカウンタでコードバッファ05にとり込むべき表示情報の表示アドレスを示す。07は、パイプス1で、表示データ用メモリカウンタの値に、表示データ用メモリ(6)の装置メモリ00内でのアドレスに依じた値を加える。これにより装置メモリ00の中から表示データ用メモリ(6)をアクセスすることができる。08はセグメントカウンタでPG(7)をアクセスする時、コードバッファ05の出力で示されるコードの該文字パターンのセグメントを指定する。09はパイプス07と同様に、PG(7)をアクセスするときの装置メモリ00内でのアドレスに依じた値を持つ。09はセレクト1で、装置メモリ00をアクセスする時、表示データ用メモリ(6)

をアクセスするのが、PGMをアクセスするのからより、バス00に出力するメモリアドレスを切り換える。00,04はパターンバッファ1及び2で、それぞれ1行分の表示すべき文字、図形等のパターンを保持する。パターンバッファ1 04は表示の奇数行、パターンバッファ2 04は表示の偶数行のパターンをそれぞれ保持する。04はセレクト2で、パターンバッファ1 00、パターンバッファ2 04のいずれをビデオ制御部06に出力するか切り換える。00,04はパターンバッファ1,2 00,04に対して与える制御タイミングを切換えるゲート1及び2である。

表示アクセス制御部02は、タイミング制御部06からのアドレス信号ADを監視していて、表示のための装置メモリ00のアクセスを開始するタイミングを、表示メモリアクセスタイミングコントロール03で知る。そして、アクセス開始を検出すると、DMA制御部02に対して、転送要求信号REQを出力する。DMA制御部02は転送が可能であれば転送許可信号ACKを表示アクセス制御部02に与える。この時点から表示のための装置メモリ00に対するア

クセスが始まり、1画面分のアクセスを完了すると、アクセス動作を中止し、再び上記信号ADの監視状態となる。

又、上記信号REQは1データの転送毎にリセットし、再び出力する方が望ましい。なぜならば、一般にREQ信号を出力しつばなしにすると他の制御部が装置メモリ00をアクセスするためにバス00を使用することができないからである。

さて、このようにして、表示のためのアクセスを開始するのでPGセレクト信号PGSをOFFにして、表示データ用メモリ06をアクセスするためのアドレスをバス00のアドレスバスB2に出力するようセレクト1 04を制御する。そして、同時に、バスコントロール04は、装置メモリ00をアクセスするために必要な制御信号BCをバス00のコントロールバスB3に出力する。そして読み出されたデータをコードバッファ09に、コードリード信号CDRを用いて書き込む。書き込みが終了すると表示データ用メモリカウンタ08を1つ進める。この動作を表示データ用メモリカウンタ08が1行分の第1桁から最終

桁に進むまでくりかえす。又、コードバッファ09は循環式シフトレジスタで構成されるので、上記動作が完了した時点で、1行分のデータが収められている。

この次に信号PGSをONにすることにより、バイアス2 08、コードバッファ09、セグメントカウンタ08をアドレスバスB2に出力するようセレクト2 04を切り換える。

一方ゲート1,2 00,04はパターンセレクト信号PSがONの時、信号PGRをパターンバッファ1 04に対してデータ書き込み信号として与え、パターン出力信号POをパターンバッファ2 04に対して読み出しタイミング信号として与える。信号PSがOFFの時は逆に信号PGRをパターンバッファ2 04に与え、信号POをパターンバッファ1 04に与える。一方、セレクト2 04は信号PSがONの時、パターンバッファ2 04を出力し、OFFの時にはパターンバッファ1 04を出力し、ビデオ制御回路06へ与える。つまりセレクト2 04、ゲート1,2 00,04を信号PSで制御することにより、パターンバッファ1 04にデータを

書いている時パターンバッファ2 04に書き込んでいた時パターンバッファ1 04を出力するようにすることにより、いわゆるトグルバッファを構成している。

このような機能を持つ時信号PGBで、装置メモリ00のアクセスを行うとPGMがアクセスされ、そのデータが信号PSに従ってパターンバッファ1 04又はパターンバッファ2 04にセットされる。1つのデータがアクセスされると、コードバッファ09は1つ循環される。一方、パターンバッファ1,2 00,04はシフトレジスタで構成されるから、上記動作をコードバッファ09が一循環するまでくりかえすと、パターンバッファ1 04又は2 04には、1行分のさらに1セグメント分の表示パターンがセットされる。コードバッファ09が一循環するとセグメントカウンタ08を1つ進め上記動作をくりかえす。セグメントカウンタ08が1循環すると、装置メモリ00に対する上記アクセス動作が休止する。この時、パターンバッファ1 04又は2 04には1行分の表示すべき全パターンがセットされていることになる。

一方、上記動作中、トグルバッファの他方はビデオ制御部(8)に対して、出力を続けているが、その出力は信号PGによつてなされ、一般にはパターンバッファへの書き込みよりも、出力の方が遅い。

したがつて、トグルバッファの出力が完了すると、パターンバッファ104, 204とも使用中(いわゆるビジー状態)が出現する。そして、出力が完了すれば、前記休止していた装置メモリ100へのアクセスを信号PGを切換えて行う。この動作を表示データ用メモリカウンタ08が画面の最終データを示すまでくりかえす。

以上の動作により1画面の1フレーム分の表示を完了し、一連の装置メモリ100に対するアクセスを終了する。

CRT(9)を用いた表示装置では、これらの動作を一定周期でくりかえしてやらないと表示画面にフリッカーを生じたり、可視情報として表示されなかつたりする。したがつて、表示装置は前記一連の装置メモリ100のアクセスをくりかえしている。

なおバイアス104, 204は制御部がプログラム

制御の一環としてパラメータとしてセットしてもよいし、あらかじめ装置で決められた値に固定されていてもよい。又、コードバッファ04、パターンバッファ104, 204はその長さをプログラマブルとして構成してもよい。この時のレジスタとしての構成法はいわゆるプログラマブルレングソフトレジスタとして周知であるのでその説明は省略する。

以上のようにこの発明によれば1つのメモリでもつて表示装置の制御メモリ、表示データ用メモリ、パターンジェネレータを構成することができ、半導体メモリの大容量化に容易に追従することができ、表示装置が安価に構成される等効果がある。

4. 図面の簡単な説明

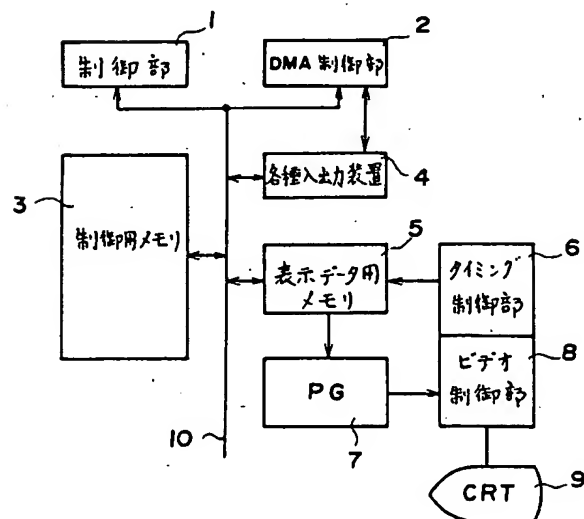
第1図は従来の表示装置を示すブロック図、第2図はこの発明の一実施例を示すブロック図、第3図は第2図に示される表示アクセス制御部を示すブロック図である。

図において、(1)は制御部、(2)はDMA制御部、(3)は制御用メモリ、(4)は各種入出力装置、(5)は表示

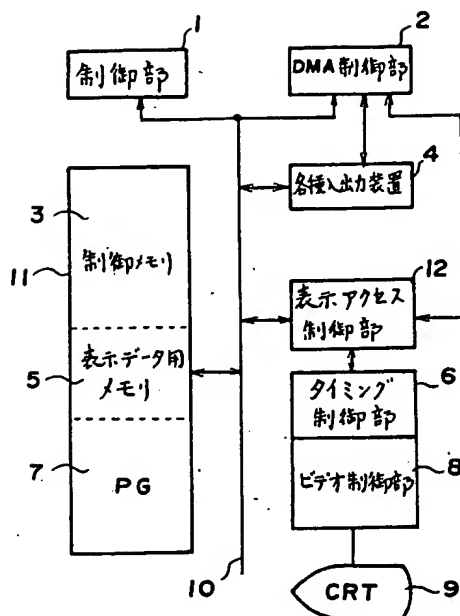
データ用メモリ、(6)はタイミング制御部、(7)はパターンジェネレータ、(8)はビデオ制御部、(9)はCRT、100はバス、104は装置メモリ、108は表示アクセス制御部、112は表示メモリアクセスタイミングコントローラ、116はバスコントローラ、120はコードバッファ、124は表示データ用メモリカウンタ、128はバイアス1、132はセグメントカウンタ、136はバイアス2、140はセクタ1、144, 148はパターンバッファ、152はセクタ2、156, 160はゲートである。なお図中同一符号は同一または相当部分を示すものである。

代理人 葛野 信一

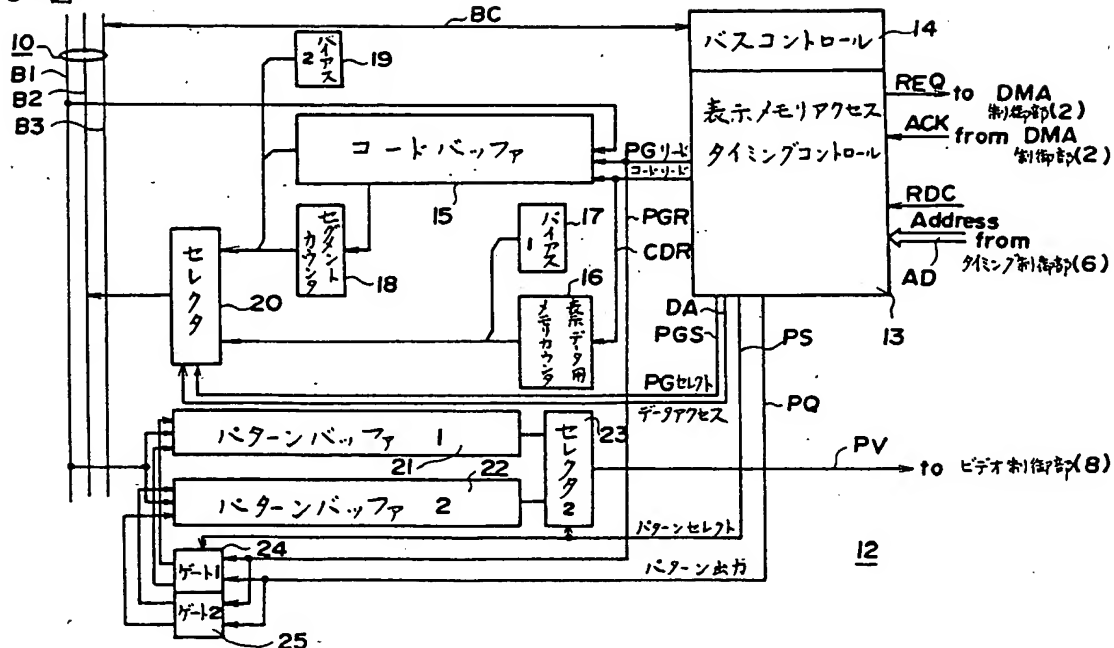
第1図



第 2 図



第 3 图



SPECIFICATION

1. Title of the Invention

Display Device

2. Claim

A display device for displaying characters, graphics, etc. on the viewing screen of a CRT by a sequential scan method, said display device having:

a device control portion for processing requests from various input/output devices according to program data;

a DMA control portion for controlling bus conflicts and controlling DMA transfers;

a timing control portion for providing control of display timing;

a video control portion for converting pattern information to be displayed into a video signal;

a device memory for holding a device control program, control data, data to be displayed, and a pattern to be displayed such as characters and graphics;

a cyclic code buffer for holding an amount of displayed data corresponding to one line of image to be displayed;

two pattern buffers for holding a displayed pattern corresponding to one line of image to be displayed;

a control gate circuit for controlling the two pattern

buffers as toggle memories;

an address counter for the displayed data, the address counter acting to sequentially produce addresses that should be accessed when displayed data is accessed from the data within said device memory, the contents of the counter being reset to its initial value when an access corresponding to one frame of image ends; and

a segment counter for sequentially producing segment addresses of a pattern to be accessed out of the data inside the device memory when the pattern is accessed, the segment counter being reset to its initial value when accesses to all the segments have ended; said display device comprising:

means for performing a detection of display start control from said timing control portion, reading an amount of displayed data corresponding to one line of image to be displayed from said device memory by means of said address counter for data to be displayed, and setting the read data in said code buffer;

means for reading data corresponding to one line of image to be displayed from said device memory by the use of the data set in said code buffer and said segment counter and setting the read data in one of the two pattern buffers;

means for outputting the data set in the other in accordance with the display timing to said video control portion while data is being set into one of the pattern buffers; and

means for alternating the operation for setting the data

and the operation for outputting the data between said two pattern buffers;

wherein a sequence of operations for said device memory to provide a display is carried out without the control of said device control portion;

wherein accesses of said device control portion to the device memory and accesses for providing a display are made asynchronously; and

wherein when both are conflicting, they are arbitrated.

3. Detailed Description of the Invention

This invention relates to improvements in a display device having a memory for data to be displayed, a pattern generator memory, and a memory for control (herein often referred to as the controlling memory).

A known display device of this kind is shown in Fig. 1, where a display device control portion (hereinafter referred to as the control portion) 1 processes data for various memories inside the device and input/output registers. A DNA control portion 2 controls data transfers between the input/output registers and memories and between the different memories. Usually, the control portion 1 is made of a microprocessor. The controlling memory, 3, holds a program for the microprocessor and data for various kinds of control. Indicated by 4 are the various input/output devices. In the display device, they are typified by a line interface, a keyboard, a lightpen, and so

on. A memory 5 for data to be displayed has normally a capacity corresponding to the number of characters that can be displayed. Furthermore, the positions on the display screen correspond to the addresses in the memory 5 for data to be displayed in a 1:1 relation. A timing control portion 6 produces timing signals necessary to control the display operation such as a synchronizing signal for a CRT monitor and memory access addresses for data to be displayed. A pattern generator memory 7 (hereinafter may be abbreviated PG) converts the display data codes that are output from the memory 5 for data to be displayed into a pattern to be displayed on the viewing screen of the display device. A video control portion 8 converts the output from the PG 7 into a video signal to be output to the display screen according to a display timing signal from the timing control portion 6. A CRT 9 converts the video signal from the video control portion 8 into visible information and provides the display screen on which the contents of the memory 5 for data to be displayed are displayed. Processor buses 10 (hereinafter simply referred to as the buses) couple the control portion 1 with various other constituent elements.

The operation is next described. The control portion 1 processes requests from the various input/output devices 4 in accordance with the program and data loaded in the controlling memory 3. One example of such requests consists of writing, reading, and editing regarding the memory 5 for data to be

displayed. If the processing is performed by the control portion 1, data are arrayed in the display data memory 5 as viewing screen information to be displayed on the display screen. On the other hand, to retain the displayed image on the CRT 9, the timing control portion 6 provides control such that appropriate viewing screen information is read at given intervals from the memory 5 for data to be displayed. The information is converted by the pattern generator (PG) 7 into a dot pattern to be displayed on the viewing screen. Furthermore, the dot pattern is converted into a video signal by the video control portion 8 and sent to the CRT 9. This CRT 9 displays the video signal as visible information on the display screen. In this way, a request for display to the display device is displayed as visible information on the display screen.

As described so far, the prior art display device needs to have totally independent three sets of memories within the device. That is, the memory 3 for providing a control and the memory 5 for data to be displayed need to have the pattern generator memory (PG) 7. In addition, the memory 5 for data to be displayed normally has a size of about 2 to 4 kbytes but is a 2-port memory. The scale of the peripheral circuit for access control needs to be approximately comparable to the number of memory element circuits. ROMs (read-only memories) and RAMs (writable and readable memories) can be available as the pattern generator memory (PG) 7. According to the machine kind, only

one kind of memory is used or both kinds are used in combination. Therefore, circuits are not uniform. In the case of RAMs, the pattern generator memory (PG) is a 2-port memory similarly to the memory 5 for data to be displayed.

Meanwhile, a program is loaded in the controlling memory 3. As display devices have had increasingly complex and more sophisticated functions year by year, their sizes go on increasing.

In view of the foregoing, it can be said that it is not advisable in terms of circuit size and cost to construct the memory 5 for data to be displayed, the pattern generator memory (PG) 7, and the memory 3 used for control as separate memories. Furthermore, if memories having larger capacities are available at lower costs owing to improvements of the semiconductor technology, the drawbacks with this prior art device will become more serious.

This invention has been made to remove the drawbacks with the prior art as described above. It is an object of the invention to provide a display device that can be built at low cost without increasing the circuit scale excessively.

One embodiment of this invention illustrated in Fig. 2 is hereinafter described. Since identical numerals and symbols indicate identical or corresponding parts in both Figs. 1 and 2, their description is omitted. A controlling memory 3, a memory 5 for data to be displayed, and a pattern generator memory

(PG) 7 are assigned inside a device memory 11. Addresses of functions of the device may be assigned at will within the device memory 11. A display access control portion 12 controls accesses of the display data memory 5 and PG 7 to the singularized device memory 11, the accesses being made for providing a display.

The operation is next described. The control portion 1 updates data within the display data memory 5 in accordance with the program loaded in the control memory 3 according to a request from the various input/output devices 4, in the same way as in the prior art.

On the other hand, with respect to control for providing a display, the timing control portion 6 and video control portion 8 produce various timing signals, convert them into video signals, and display them as visible information on the CRT 9, in the same way as in the prior art. However, the access to the memory 5 for displayed data, the mechanism of access to the PG 7, and the method of sending and receiving data to and from the video control portion 8 are different. In the past, the contents of the memory 5 for data to be displayed are passed to the PG 7 directly, and the output from the PG 7 is directly passed to the video control portion 8 as shown in Fig. 1. In this invention, however, these data are all sent and received under control of the display access control portion 12. When the display access control portion 12 knows the timing at which

a manual display operation is started, the control portion first takes display information from the memory 5 used for data to be displayed, assigns appropriate addresses of the PG 7 from the information, takes out the contents, and passes the contents to the video control portion 8. Subsequently, the contents are displayed on the CRT 9 in a conventional manner. Furthermore, when the display access control portion 12 makes an access to the memory 5 for data to be displayed and to the PG 7, these memories are assigned to one device memory 11 together with the controlling memory 3 and so the memory access address control according to the assignment is provided by the display access control portion 12. Additionally, in the device according to this invention, an access to or from the device memory 11 is accomplished by issuing an access request regardless of whether the control portion 1 is using the buses and performing a memory-I/O DMA transfer that regards the display access control portion 12 as one input/output control device. The bus usage conflict occurring at this time is arbitrated and resolved by the DMA control portion 2 and control portion 1. The fundamental functions of the display access control portion 12 are as follows. That is, the timing at which an access to the memory 5 for data to be displayed is made and the address are detected in response to a signal from the timing control portion 6. The data are fetched. Preferably, the amount of fetched data is equal to the amount of display data corresponding to one line on the

display screen in order to lower the memory access speed and the bus conflict frequency and to simplify the processing within the display access control portion 12 (described later). Then, the address of the PG 7 to be accessed is detected from the display information fetched as described above. A display pattern corresponding to one line is fetched. The fetched results are output to the video control portion 8 in synchronism with the display timing.

The details of the structure of the display access control portion providing the control as described above are shown in Fig. 3, where a display memory access timing controller 13 controls the timing of the whole display access control portion 12. A bus controller 14 cooperates with the display memory access timing controller 13 to control the buses 10 and to achieve data transfers between the device memory 11 and the display access control portion 12. A code buffer 15 has an amount of information corresponding to one line of image to be displayed for the reasons described above. A memory counter 16 for data to be displayed indicates the display address about displayed information that should be accepted into the code buffer 15. A bias 1, indicated by numeral 17, adds a value corresponding to the address of the display data memory 5 within the device memory 11 to the value of the memory counter for the data to be displayed. This makes it possible to make an access to the memory 5 for data to be displayed from inside the device memory

11. A segment counter 18 specifies segments of a character pattern of codes indicated by the output from the code buffer 15 when an access is made to the PG 7. A bias 2, indicated by numeral 19, has a value corresponding to the address within the device memory 11 when an access to the PG 7 is made, in the same way as the bias 17. When an access is made to the device memory 11, a selector 1, indicated by 20, switches the memory address delivered to the buses 10, depending on whether an access is made to the memory 5 for data to be displayed or to the PG 7. Pattern buffers 1 and 2, indicated by 21 and 22, respectively, hold patterns of characters or graphics to be displayed about one line. The pattern buffer 1 (21) holds the pattern about an odd numbered line on the display screen. The pattern buffer 2 (22) holds the pattern about an even numbered line on the display screen. A selector 2, indicated by numeral 23, switches which of the outputs from the pattern buffer 1 (21) and pattern buffer 2 (22) should be sent to the video control portion 8. Gates 1 and 2, indicated by 24 and 25, respectively, switch the control timing given to the pattern buffers 1 and 2 (21 and 22).

The display access control portion 12 is monitoring the address signal AD from the timing control portion 6 and knows the timing at which an access to the device memory 11 used for providing a display is started from the display memory access timing controller 13. When the start of access is detected,

the control portion outputs a transfer request signal REQ to the DMA control portion 2. If a transfer is possible, the DMA control portion 2 sends a transfer enable signal ACK to the display access control portion 12. At this instant, an access to the device memory 11 for providing a display commences. When an access corresponding to one frame of image is completed, the access operation is interrupted. Again, the condition is that the signal AD is monitored.

Each time a set of data is transferred, the signal REG is preferably reset and again output, for the following reason. Generally, if the REG signal is kept output, other control portions cannot use the buses 10 to make accesses to the device memory 11.

Since the access for providing a display is started in this way, the PG select signal PGS is deactivated (turned OFF). The selector 1 (20) is so controlled that the address for making an access to the memory 5 for displayed data is output to the address bus B2 of the buses 10. At the same time, the bus controller 14 delivers a control signal BC necessary for making an access to the device memory 11 to the control bus B3 of the buses 10. Data read out is written into the code buffer 15, using a code read signal CDR. When the writing ends, the memory counter 16 for displayed data is incremented by 1. These operations are repeated until the memory counter 16 for displayed data goes from the first horizontal position to the final

horizontal position on one line. Since the code buffer 15 is made of a cyclic shift register, an amount of data corresponding to one line is placed in it on completion of the sequence of operations.

Then, the signal PGS is activated (turned ON) to switch the selector such that the outputs from the bias 2 (19), code buffer 15, and segment counter 18 are sent to the address bus B2.

On the other hand, when the pattern select signal PS is active (ON), the gates 1 and 2 (24 and 25) supply a signal PGR as a data writing signal to the pattern buffer 1 (21) and supply a pattern output signal PO as a reading timing signal to the pattern buffer 2 (22). Conversely, when the signal PS is inactive (OFF), the gates supply the signal PGR to the pattern buffer 2 (22) and supply the signal PO to the pattern buffer 1 (21). Meanwhile, the selector 2 (23) causes the output from the pattern buffer 2 (22) to be delivered to the video control circuit 8 when the signal PS is active (ON) and causes the output from the pattern buffer 1 (21) to be delivered when the signal is inactive (OFF). That is, by controlling the selector 2 (23) and gates 1, 2 (24, 25) by the signal PS, the output from the pattern buffer 1 (21) to be sent out when data is being written into the pattern buffer 1 (21) when writing into the pattern buffer 2 (22). Thus, so-called toggle buffers are formed.

If an access to the device memory 11 is made using the

time signal PGB having such functions, an access to the PG 7 is gained. The data is set into the pattern buffer 1 (21) or pattern buffer 2 (22) according to the signal PS. When one set of data is accessed, the code buffer 15 is advanced by one. On the other hand, the pattern buffers 1 and 2 (21 and 22) are made of shift registers and so if the above-described operations are repeated until the code buffer 15 is cycled once, then a display pattern corresponding to one segment of one line is set in the pattern buffer 1 (21) or 2 (22). When the code buffer 15 is cycled once, the segment counter 18 is advanced by one, and the aforementioned operations are repeated. When the segment counter 18 is cycled once, the access to the device memory 11 is ceased. At this time, all the patterns to be displayed and corresponding to one line have been set in the pattern buffer 1 (21) or 2 (22).

On the other hand, during the operations described above, the other toggle buffer is kept producing its output to the video control portion 8 by the signal PO. Generally, this outputting is slower than writing into pattern buffers.

Accordingly, when the outputting from the toggle buffers completes, the pattern buffers 1 (21) and 2 (22) are in use (so-called in busy state). When the outputting completes, the access to the device memory 11 that has been halted as mentioned previously is carried out by switching the signal PS. These operations are repeated until the memory counter 16 for displayed

data indicates the final data about the image on the viewing screen.

Display about one frame of image on one viewing screen is completed by the operations described so far. A sequence of accesses to the device memory 11 is ended.

In a display device using the CRT 9, flicker will appear on the display screen or visible information will not be displayed unless these operations are repeated at regular intervals. Therefore, the display device repeats the aforementioned sequence of accesses to the device memory 11.

The biases 1 (17) and 2 (19) may be set by the control portion as parameters forming a part of programmed control. Alternatively, they may be fixed to values previously determined for the device. Moreover, the lengths of the code buffer 15, pattern buffers 1 (21), and 2 (22) may be programmable. The configuration of the registers adopted at this time is well known as so-called programmable length shift registers and so its description is omitted.

As described so far, this invention makes it possible to construct a controlling memory for a display device, a memory for displayed data, and a pattern generator, using one memory. Hence, it is easy to follow increases in capacities of semiconductor memories. In consequence, display devices can be constructed economically and other advantages can be had.

4. Brief Description of the Drawings

Fig. 1 is a block diagram showing the prior art display device;

Fig. 2 is a block diagram showing one embodiment of this invention; and

Fig. 3 is a block diagram showing the display access control portion shown in Fig. 2.

In the figures:

1: control portion; 2: DMA control portion; 3: memory for control; 4: various input/output devices; 5: memory for displayed data; 6: timing control portion; 7: pattern generator; 8: video control portion; 9: CRT; 10: buses; 11: device memory; 12: display access control portion; 13: display memory access timing controller; 14: bus controller; 15: code buffer; 16: memory counter for displayed data; 17: bias 1; 18: segment counter; 19: bias 2; 20: selector 1; 21, 22: pattern buffers; 23: selector 2; 24, 25: gates. Note that identical symbols indicate identical or corresponding parts throughout the figures.

FIG. 1

- 1: CONTROL PORTION
- 2: DMA CONTROL PORTION
- 3: MEMORY FOR CONTROL
- 4: VARIOUS INPUT/OUTPUT DEVICES
- 5: MEMORY FOR DISPLAYED DATA
- 6: TIMING CONTROL PORTION
- 8: VIDEO CONTROL PORTION

FIG. 2

- 1: CONTROL PORTION
- 3: MEMORY FOR CONTROL
- 5: MEMORY FOR DISPLAYED DATA
- 2: DMA CONTROL PORTION
- 4: VARIOUS INPUT/OUTPUT DEVICES
- 12: DISPLAY ACCESS CONTROL PORTION
- 6: TIMING CONTROL PORTION
- 8: VIDEO CONTROL PORTION

FIG. 3

- 19: BIAS 2
- 20: SELECTOR
- 21: PATTERN BUFFER 1
- 22: PATTERN BUFFER 2
- 24: GATE 1

25: GATE 2

15: CODE BUFFER

18: SEGMENT COUNTER

17: BIAS 1

16: MEMORY COUNTER FOR DISPLAYED DATA

23: SELECTOR 2

14: BUS CONTROL

13: DISPLAY MEMORY ACCESS

TIMING CONTROL

X1: to DMA CONTROL PORTION (2)

X2: from DMA CONTROL PORTION (2)

X3: from TIMING CONTROL PORTION (6)

X4: to VIDEO CONTROL PORTION (8)

X5: PG SELECT

X6: DATA ACCESS

X7: PATTERN SELECT

X8: PATTERN OUTPUT

aa: PG READ

bb: CODE READ